

【特許請求の範囲】

【請求項1】 第1のカスコード増幅器および第2カスコード増幅器を有し、出力信号を第1の所定の電圧レベルまで引き下げるプルダウン回路であって、該第1のカスコード増幅器の入力に反転信号が用いられ、該第2のカスコード増幅器の入力に非反転信号が用いられる、プルダウン回路と、

該プルダウン回路と結合し、該プルダウン回路が出力信号を該第1の所定の電圧レベルまで引き下げていないときに、該出力信号を第2の所定の電圧レベルまで引き上げる交差型プルアップ回路と、

を含む、電圧レベルシフト回路。

【請求項2】 前記第1および第2のカスコード増幅器の前記入力信号から得られた該第1および第2のカスコード増幅器の前記出力にフィードフォワード信号を供給する、前記プルダウン回路と結合したフィードフォワード回路をさらに含む、請求項1に記載の電圧レベルシフト回路。

【請求項3】 前記フィードフォワード回路が、前記第1のカスコード増幅器の前記入力と前記第2のカスコード増幅器の前記出力との間に結合された第1のフィードフォワードトランジスタと、
該第2のカスコード増幅器の前記入力と該第1のカスコード増幅器の前記出力との間に結合された第2のフィードフォワードトランジスタと、
をさらに含む、請求項2に記載の電圧レベルシフト回路。

【請求項4】 前記プルアップ回路が、第1のP型トランジスタおよび第2のP型トランジスタを含む交差型P型回路を含む、請求項1に記載の電圧レベルシフト回路。

【請求項5】 前記第1および第2のカスコード増幅器が、2つのN型トランジスタを含む、請求項1に記載の電圧レベルシフト回路。

【請求項6】 前記第1および第2のトランジスタが、ソースフォロワモードで動作する、請求項3に記載の電圧レベルシフト回路。

【請求項7】 前記第1のカスコード増幅器が、ゲート、ソース、およびドレインを有する第1のトランジスタと、ゲート、ソース、およびドレインを有する第2のトランジスタとを含み、該第1のトランジスタの該ソースが前記第1の所定の電圧レベルと結合し、該第1のトランジスタの該ゲートが前記反転信号と結合し、該第1のトランジスタの該ドレインが該第2のトランジスタの該ソースと接続し、該第2のトランジスタの該ドレインが前記交差型プルアップ回路と接続し、該第2のトランジスタの該ゲートが第3の所定の電圧レベルと結合し、前記第2のカスコード増幅器が、ゲート、ソース、およびドレインを有する第3のトランジスタと、ゲート、ソース、およびドレインを有する第4のトランジスタとを

含み、該第3のトランジスタの該ソースが接地され、該第3のトランジスタの該ゲートが前記非反転信号と結合し、該第3のトランジスタの該ドレインが該第4のトランジスタの該ソースと接続し、該第4のトランジスタの該ドレインが該交差型プルアップ回路と接続し、該第4のトランジスタの該ゲートが、該第3の所定の電圧レベルと結合する、請求項1に記載の電圧レベルシフト回路。

【請求項8】 ソース、ドレイン、およびゲートを有する第1のフィードフォワードトランジスタであって、該第1のフィードフォワードトランジスタの該ゲートが前記反転信号と結合し、該第1のフィードフォワードトランジスタの該ソースが前記第4のトランジスタの前記ドレインと結合し、該第1のフィードフォワードトランジスタの該ドレインが前記第3の所定の電圧レベルと結合する、第1のフィードフォワードトランジスタと、
ソース、ドレイン、およびゲートを有する第2のフィードフォワードトランジスタであって、該第2のフィードフォワードトランジスタの該ゲートが前記非反転信号と結合し、該第2のフィードフォワードトランジスタのソースが前記第2のトランジスタの前記ドレインと接続し、該第2のフィードフォワードトランジスタのドレインが該第3の所定の電圧レベルと結合する、第2のフィードフォワードトランジスタと、
を含むフィードフォワード回路をさらに含む、請求項7に記載の電圧レベルシフト回路。

【請求項9】 第1のカスコード増幅器および第2のカスコード増幅器を有し、出力信号を第1の所定の電圧レベルまで引き下げるプルダウン回路であって、該第1のカスコード増幅器の入力に反転信号が用いられ、該第2のカスコード増幅器の入力に非反転信号が用いられるプルダウン回路と、

該プルダウン回路と結合し、該プルダウン回路が出力信号を該第1の所定の電圧レベルまで引き下げていないときに、該出力信号を第2の所定の電圧レベルまで引き上げる交差型プルアップ回路と、

該第1および第2のカスコード増幅器の該入力信号から得られた該第1および第2のカスコード増幅器の該出力にフィードフォワード信号を供給する、該プルダウン回路と結合したフィードフォワード回路と、
を含む、電圧レベルシフト回路。

【請求項10】 前記第1のカスコード増幅器が、ゲート、ソース、およびドレインを有する第1のトランジスタと、ゲート、ソース、およびドレインを有する第2のトランジスタとを含み、該第1のトランジスタの該ソースが前記第1の所定の電圧レベルと結合し、該第1のトランジスタの該ゲートが前記反転信号と結合し、該第1のトランジスタの該ドレインが該第2のトランジスタの該ソースと接続し、該第2のトランジスタの該ドレインが前記交差型プルアップ回路と接続し、該第2のトラン

ジスタの該ゲートが所定の電源と結合し、前記第2のカスコード増幅器が、ゲート、ソース、およびドレインを有する第3のトランジスタと、ゲート、ソース、およびドレインを有する第4のトランジスタとを含み、該第3のトランジスタの該ソースが該第1の所定の電圧レベルと結合し、該第3のトランジスタの該ゲートが前記非反転信号と結合し、該第3のトランジスタの該ドレインが該第4のトランジスタの該ソースと接続し、該第4のトランジスタの該ソースが、該交差型プルアップ回路と接続し、該第4のトランジスタの該ゲートが第3の所定の電圧レベルを有する該所定の電源と結合し、

前記フィードフォワード回路が、ソース、ドレイン、およびゲートを有する第5のトランジスタであって、該第5のトランジスタの該ゲートが該反転信号と結合し、該第5のトランジスタの該ソースが該第4のトランジスタの該ドレインと結合し、該第5のトランジスタの該ドレインが該第3の所定の電圧レベルと結合する、第5のトランジスタと；ソース、ドレイン、およびゲートを有する第6のトランジスタであって、該第6のトランジスタの該ゲートが該非反転信号と結合し、該第6のトランジスタの該ソースが該第2のトランジスタの該ドレインと接続し、該第6のトランジスタの該ドレインが該第3の所定の電圧レベルと結合する、第6のトランジスタとを含む、

請求項9に記載の電圧レベルシフト回路。

【請求項11】 前記プルアップ回路が、第1のP型トランジスタおよび第2のP型トランジスタを含む交差型P型回路を含む、請求項10に記載の電圧レベルシフト回路。

【請求項12】 前記第1、第2、第3、第4、第5、および第6のトランジスタが、N型トランジスタである、請求項11に記載の電圧レベルシフト回路。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、電圧レベルシフト回路に関し、特に、低電力の高速電圧レベルシフト回路に関する。

【0002】

【従来の技術】ジオメトリが0.35ミクロン未満のCMOS回路の導入によって、より低い電源電圧が、デバイスの信頼性を維持するために必要となっている。その結果、供給電圧は5ボルトから3.3ボルト以下へと低減した。しかし、多数のインタフェース（バス）信号は、ゼロから5ボルトのロジックレベルを今なお使用している。ゆえに、ロジックプロセッサ入力／出力（I/O）回路は「電圧フレンドリー」でなければならない。すなわち、ロジックプロセッサI/O回路は、ゼロから3.3ボルトの信号を供給（調達）し得るが、ゼロから5ボルトの信号を受け入れなくてはならない。

(3)

特開平11-261401

4

【0003】電圧フレンドリーである代わりに、回路は「コア」回路とI/O回路とに分割され得、ここで「コア」ロジックがより低い3.3ボルトで動作し、I/O回路が5ボルトで動作する。信号レベルの適合性を容易にするために、図1（従来技術）と同様の電圧レベルシフト回路がI/O回路内で使用される。

【0004】さらに、（各トランジスタが二酸化シリコンによって電気的に絶縁している）超高速小型ジオメトリのSIMOXCMOS回路の導入は、「コア」回路用のさらに低い電圧を可能にした。このような回路の多くは、ポケットベルなどの用途において1つの電池での動作が必要とされる。他の応用では、コア回路への電力として1つの電池（0.8から1.5ボルト）を使用し、I/O回路への電力として2つの電池（1.5から3ボルト）を使用する。0.8ボルトのロジック信号を入力として受け入れ、0.8ボルトまたは0.8ボルトから3ボルトのどちらかの出力信号に変換し得る、柔軟性のあるコア-I/O電圧レベルシフト回路が必要とされる。大きな電圧の幅は、コア電池が低電圧であること（寿命の終わり）およびI/O電池（単数または複数）が新しいことから生じ得る。下記に説明するように、電池（単数または複数）が消耗するにつれて、従来のレベルシフト回路は比較的低速になる。

【0005】具体的には、図1は、P型交差型プルアップ回路102およびN型プルダウン回路104を含む従来のレベルシフト回路100の概略図を示す。デジタル入力信号 V_{in} にตอบสนองして、P型回路102が出力信号を所定の電圧（例えば、約 V_{DD} ）にまで引き上げる（プルアップする）。あるいは、N型プルダウン回路104が出力電圧を所定の電圧（例えば、約ゼロ）にまで引き下げる（プルダウンする）。

【0006】さらに具体的には、入力信号 V_{in} は、2つの経路と結合される。この2つの経路では、第1の経路がインバータ106に入力信号を配信し、第2の経路がN型プルダウン回路104のトランジスタ N_2 のゲート電極に入力信号を直接配信する。インバータ106の反転出力は、N型プルダウン回路104のトランジスタ N_1 のゲート電極に結合される。このように、N型プルダウン回路104の各トランジスタは、他方のトランジスタの入力に対して反転された入力信号で駆動される。タイミングの同期化を確実にするために、トランジスタ N_2 への第2の経路では遅延素子が使用され得る。これによって、各トランジスタの入力信号が同期化され、「クロックスキュー」が回避される。

【0007】各N型トランジスタのソース電極は接地される。また、ドレイン電極はP型プルアップ回路102と結合される。すなわち、N型トランジスタは、共通ソース構成で配置されている。P型回路は、一対のP型トランジスタ P_1 および P_2 を含む交差型設計である。トランジスタ P_1 のゲート電極は、トランジスタ P_2 のドレイ

50

ン電極に接続される。同様に、トランジスタ P_2 のゲート電極は、トランジスタ P_1 のドレイン電極に接続される。各P型トランジスタのソース電極は、DC電源VDDEに結合されている。

【0008】動作中に、入力信号 V_{in} の各遷移にตอบสนองして、P型回路102が出力信号をほぼVDDEレベルまで引き上げ、それと交互にN型回路104が出力信号をほぼ接地レベルまで引き下げる。このように、出力信号は入力信号のサイクル毎に、接地とVDDEとの間で切り換わる。

【0009】

【発明が解決しようとする課題】このようなP型交差型回路を使用したレベルシフト回路の顕著な特徴は、遷移時間中の電力消費を最小とする能力である。このようなレベルシフト回路が適切に動作するために、P型トランジスタはN型トランジスタに比べて「弱い」。すなわち、P型トランジスタは非常に低い駆動電流性能を有するため、N型ブルダウントランジスタがP型ブルアップ機能に勝り得る。その結果、出力遷移は、比較的遅い立ち上がり時間および末端電圧供給の遅延時間となる。この相対的遅延は、VDDEでの電池レベルが低い際（例えば、0.8ボルトに減少した場合）に、さらに悪化する。これに加えて、出力信号は、物理的により大型のN型ブルダウントランジスタからゲーティングする結合効果も被る。

【0010】図2は、これらの不利な特徴である遅い立ち上がり時間および大幅な遅延を、図1に示す従来のレベルシフト回路からの出力信号のプロットで示す。プロット200は、時間（軸202）に対する出力電圧の大きさ（軸204）を示す。スイッチング時間の遅延は、約3ナノ秒であり、立ち上がり時間は6ナノ秒であり得る。これらのデータは、VDDEを（非常に低い電圧を有する電池をシミュレートして）0.8ボルトに固定した50メガヘルツ方形波の入力信号および0.1ピコファラドの負荷容量を使用して得られた。このような遅延時間および立ち上がり時間の結果、スイッチング時間中にレベルシフト回路により電力が過剰に消費されてしまうことが周知である。

【0011】ゆえに、改善された立ち上がり時間および改善されたスイッチング遅延、ならびに低い電力消費を有する交差型レベルシフト回路が当該分野において必要とされている。

【0012】

【課題を解決するための手段】本発明の1つの局面によれば、電圧レベルシフト回路は；第1のカスコード増幅器および第2カスコード増幅器を有し、出力信号を第1の所定の電圧レベルまで引き下げるブルダウン回路であって、該第1のカスコード増幅器の入力に反転信号が用いられ、該第2のカスコード増幅器の入力に非反転信号が用いられる、ブルダウン回路と；該ブルダウン回路と

結合し、該ブルダウン回路が出力信号を該第1の所定の電圧レベルまで引き下げていないときに、該出力信号を第2の所定の電圧レベルまで引き上げる交差型ブルアップ回路と、を含み、このことにより、上記課題が解決される。

【0013】上記電圧レベルシフト回路は、上記第1および第2のカスコード増幅器の上記入力信号から得られた該第1および第2のカスコード増幅器の上記出力にフィードフォワード信号を供給する、上記ブルダウン回路と結合したフィードフォワード回路をさらに含んでいてもよい。

【0014】上記フィードフォワード回路が、上記第1のカスコード増幅器の上記入力と上記第2のカスコード増幅器の上記出力との間に結合された第1のフィードフォワードトランジスタと、該第2のカスコード増幅器の上記入力と該第1のカスコード増幅器の上記出力との間に結合された第2のフィードフォワードトランジスタと、をさらに含んでいてもよい。

【0015】上記ブルアップ回路が、第1のP型トランジスタおよび第2のP型トランジスタを含む交差型P型回路を含んでいてもよい。

【0016】上記第1および第2のカスコード増幅器が、2つのN型トランジスタを含んでいてもよい。

【0017】上記第1および第2のトランジスタが、ソースフォロワモードで動作してもよい。

【0018】上記第1のカスコード増幅器が、ゲート、ソース、およびドレインを有する第1のトランジスタと、ゲート、ソース、およびドレインを有する第2のトランジスタとを含み、該第1のトランジスタの該ソースが上記第1の所定の電圧レベルと結合し、該第1のトランジスタの該ゲートが上記反転信号と結合し、該第1のトランジスタの該ドレインが該第2のトランジスタの該ソースと接続し、該第2のトランジスタの該ドレインが上記交差型ブルアップ回路と接続し、該第2のトランジスタの該ゲートが第3の所定の電圧レベルと結合し；上記第2のカスコード増幅器が、ゲート、ソース、およびドレインを有する第3のトランジスタと、ゲート、ソース、およびドレインを有する第4のトランジスタとを含み、該第3のトランジスタの該ソースが接地され、該第3のトランジスタの該ゲートが上記非反転信号と結合し、該第3のトランジスタの該ドレインが該第4のトランジスタの該ソースと接続し、該第4のトランジスタの該ドレインが該交差型ブルアップ回路と接続し、該第4のトランジスタの該ゲートが、該第3の所定の電圧レベルと結合していてもよい。

【0019】上記電圧レベルシフト回路が；ソース、ドレイン、およびゲートを有する第1のフィードフォワードトランジスタであって、該第1のフィードフォワードトランジスタの該ゲートが上記反転信号と結合し、該第1のフィードフォワードトランジスタの該ソースが上記

第4のトランジスタの上記ドレインと結合し、該第1のフィードフォワードトランジスタの該ドレインが上記第3の所定の電圧レベルと結合する、第1のフィードフォワードトランジスタと；ソース、ドレイン、およびゲートを有する第2のフィードフォワードトランジスタであって、該第2のフィードフォワードトランジスタの該ゲートが上記非反転信号と結合し、該第2のフィードフォワードトランジスタのソースが上記第2のトランジスタの上記ドレインと接続し、該第2のフィードフォワードトランジスタのドレインが該第3の所定の電圧レベルと結合する、第2のフィードフォワードトランジスタと；を含むフィードフォワード回路をさらに含んでもよい。

【0020】本発明の別の局面によれば、電圧レベルシフト回路は；第1のカスコード増幅器および第2のカスコード増幅器を有し、出力信号を第1の所定の電圧レベルまで引き下げるブルダウン回路であって、該第1のカスコード増幅器の入力に反転信号が用いられ、該第2のカスコード増幅器の入力に非反転信号が用いられるブルダウン回路と；該ブルダウン回路と結合し、該ブルダウン回路が出力信号を該第1の所定の電圧レベルまで引き下げていないときに、該出力信号を第2の所定の電圧レベルまで引き上げる交差型ブルアップ回路と；該第1および第2のカスコード増幅器の該入力信号から得られた該第1および第2のカスコード増幅器の該出力にフィードフォワード信号を供給する、該ブルダウン回路と結合したフィードフォワード回路と；を含み、このことにより、上記課題が解決される。

【0021】上記電圧レベルシフト回路が、上記第1のカスコード増幅器が、ゲート、ソース、およびドレインを有する第1のトランジスタと、ゲート、ソース、およびドレインを有する第2のトランジスタとを含み、該第1のトランジスタの該ソースが上記第1の所定の電圧レベルと結合し、該第1のトランジスタの該ゲートが上記反転信号と結合し、該第1のトランジスタの該ドレインが該第2のトランジスタの該ソースと接続し、該第2のトランジスタの該ドレインが上記交差型ブルアップ回路と接続し、該第2のトランジスタの該ゲートが所定の電源と結合し、上記第2のカスコード増幅器が、ゲート、ソース、およびドレインを有する第3のトランジスタと、ゲート、ソース、およびドレインを有する第4のトランジスタとを含み、該第3のトランジスタの該ソースが該第1の所定の電圧レベルと結合し、該第3のトランジスタの該ゲートが上記非反転信号と結合し、該第3のトランジスタの該ドレインが該第4のトランジスタの該ソースと接続し、該第4のトランジスタの該ソースが、該交差型ブルアップ回路と接続し、該第4のトランジスタの該ゲートが第3の所定の電圧レベルを有する該所定の電源と結合し；上記フィードフォワード回路が、ソース、ドレイン、およびゲートを有する第5のトランジスタ

であって、該第5のトランジスタの該ゲートが該反転信号と結合し、該第5のトランジスタの該ソースが該第4のトランジスタの該ドレインと結合し、該第5のトランジスタの該ドレインが該第3の所定の電圧レベルと結合する、第5のトランジスタと；ソース、ドレイン、およびゲートを有する第6のトランジスタであって、該第6のトランジスタの該ゲートが該非反転信号と結合し、該第6のトランジスタの該ソースが該第2のトランジスタの該ドレインと接続し、該第6のトランジスタの該ドレインが該第3の所定の電圧レベルと結合する、第6のトランジスタとを含んでもよい。

【0022】上記ブルアップ回路が、第1のP型トランジスタおよび第2のP型トランジスタを含む交差型P型回路を含んでもよい。

【0023】上記第1、第2、第3、第4、第5、および第6のトランジスタが、N型トランジスタであってもよい。

【0024】従来技術に関連する欠点は、一対のカスコード増幅器として構成されたN型回路と、一方のカスコード増幅器の入力を他方のカスコード増幅器の出力と結合するフィードフォワードトランジスタとを有する本発明の交差型レベルシフト回路によって克服される。

【0025】具体的には、本発明はインバータ回路、N型ブルダウン回路、P型ブルアップ回路、およびフィードフォワード回路を含む。インバータ回路は、入力信号 V_{in} を反転信号および非反転信号の一対の信号に変換する。インバータ回路は、また、反転信号および非反転信号の同期状態が確実に維持されるようにする。すなわち、信号の遷移は、N型回路への各入力で同時に起こる。反転信号は、N型回路の第1の入力と結合し、非反転信号はN型回路の第2の入力と結合する。N型回路は、一対のカスコード増幅器を含み、これらのカスコード増幅器は、P型回路の一方のP型トランジスタのゲートおよび他方のP型トランジスタのドレインと結合する各増幅器の出力を有する。さらに、本発明は、両方のカスコード増幅器について、一方のカスコード増幅器の入力を他方のカスコード増幅器の出力と結合するフィードフォワード回路を使用する。

【0026】

【発明の実施の形態】本発明の実施形態を、図面を参照しながら以下に説明する。なお、理解を容易にするために、可能な箇所には、図中に共通である同一の要素をしめすために同一の参照番号を使用している。

【0027】図3は、本発明による交差型電圧レベルシフト回路300の概略図である。レベルシフト回路300は、インバータ回路302、N型ブルダウン回路304、P型ブルアップ回路306、およびフィードフォワード回路308を含む。

【0028】インバータ回路は、入力信号 V_{in} を、反転信号と非反転信号とに分割する。反転信号は、入力信号

を伝送ゲート310およびインバータ312に通すことによって生じる。非反転信号は、一對の直列接続されたインバータ314および316によって生じる。伝送ゲートの使用は、反転信号および非反転信号が同期化されること、すなわち、信号遷移がN型回路への各入力と同時に起こることを確実にする。このような同期化は、入力信号がレベル変換動作によって歪まないことを確実にする。すなわち、いわゆるクロックスキューが回避される。

【0029】N型プルダウン回路304は、4つのN型トランジスタN3、N4、N5およびN6を含む。ここで、トランジスタN3およびN4は、第1のカスコード増幅器318を形成し、トランジスタN5およびN6は、第2のカスコード増幅器320を形成している。第1のカスコード増幅器は、トランジスタN4のゲート電極およびフィードフォワード回路308に結合された反転入力信号を有する。トランジスタN4のソース電極は接地され、ドレイン電極はトランジスタN3のソース電極に結合されている。トランジスタN3のゲート電極は、固定DC電圧VDDI（例えば、約0.8ボルトから約1.5ボルト）に接続されており、トランジスタN3のドレイン電極は、P型プルアップ回路306およびフィードフォワード回路308に結合されている。トランジスタN3のバルク電極は、接地されている。このバルク電極の接地は、バルク電極と「上方」のトランジスタN3のソースとの接続に比べて、カスケード接続されたNMOSTトランジスタのリーク電流を低減する。

【0030】第2のカスコード増幅器320は、トランジスタN6のゲート電極およびフィードフォワード回路308に結合された非反転入力信号を有する。トランジスタN6のソース電極は接地される。また、ドレイン電極は、トランジスタN5のソースと結合される。トランジスタN5のゲートは、固定DC電圧VDDIと接続される。また、トランジスタN5のドレイン電極は、P型プルアップ回路306およびフィードフォワード回路308と結合される。トランジスタN5のバルク電極は、接地される。

【0031】カスコード増幅器は、トランジスタN4およびN6に低い入力インピーダンスを提供する。このような低い入力インピーダンスは、トランジスタN4およびN6へのミラー（Miller）効果を1ゲート容量未満に減少させる。その結果、電圧カップリング効果は、従来技術と比較して大いに減少され、大いに改善された出力信号の立ち上がり時間を提供する。図4は、時間（軸402）に対するレベルシフト回路300からの出力信号の電圧の大きさ（軸404）のグラフ400を示す。重要なことには、出力信号の立ち上がり時間は、従来技術では約6ナノ秒であるのに比べ、ここでは約3ナノ秒である。

【0032】P型プルアップ回路306は、一對のP型

トランジスタP1およびP2を有する従来の交差型設計である。トランジスタP1のゲート電極は、トランジスタP2のドレイン電極に接続されている。同様に、トランジスタP2のゲート電極は、トランジスタP1のドレイン電極に接続されている。各P型トランジスタのソース電極は、電圧供給源VDDE（例えば、約0.8ボルトから約3.6ボルト）に結合されている。トランジスタP1のドレイン電極は、N型トランジスタN3のドレイン電極ならびにフィードフォワード回路308に接続されている。同様に、トランジスタP2のドレイン電極は、N型トランジスタN5のドレイン電極ならびにフィードフォワード回路308に接続されている。

【0033】カスコード回路は、負荷容量およびフィードバック容量をフィードフォワード回路308を使用せずに低減するために使用され得る。しかし、例えば、レベルシフト回路がより低速で動作するなど、レベルシフト回路の総体性能が影響を受ける。それでもなお、本発明は、フィードフォワード回路を有する好適な実施形態およびフィードフォワード回路を有さない他の実施形態を有するものとして解釈されるべきである。

【0034】好適な実施形態では、フィードフォワード回路308は2つのN型トランジスタN2およびN1を含む。各トランジスタのドレイン電極は、固定電圧VDDIと結合されている。トランジスタN2のソースは、トランジスタN3のドレインとトランジスタP1のドレインとのジャンクションに接続されている。同様に、トランジスタN1のソースは、トランジスタN5のドレイン電極とトランジスタP2のドレイン電極とのジャンクションに接続されている。フィードフォワードトランジスタN2のゲート電極は、トランジスタN6のゲート電極、すなわち、第2のカスコード増幅器320への入力と結合されている。また、フィードフォワードトランジスタN1のゲート電極は、トランジスタN4のゲート電極、すなわち、第1のカスコード増幅器318への入力と結合されている。フィードフォワードトランジスタのバルク電極は、ソースと接続されずに浮遊（FLOAT）している。

【0035】動作中に、カスコード増幅器318および320は、出力信号を接地レベルまで引き下げ、P型回路は、出力信号をほぼVDDEレベルまで引き上げる。フィードフォワード回路は、出力スイッチング遷移の立ち上がり時間を従来技術より大幅に改善するようにカスコード増幅器の応答時間を増強する。さらに、フィードフォワード回路を使用したカスコード増幅器のスイッチング速度は、大いに改善されたスイッチング遅延を生成する。例えば、図4は、時間（軸402）に対する出力電圧の大きさ（軸404）を表すプロット400を示し、ゼロと0.8ボルト（低電池レベル状態）との間のスイッチングを0.1ピコファラドの負荷容量を使用した50メガヘルツで行った場合の遅延時間が、わずか0.9ナノ秒であることを示す。この遅延時間は、従来

技術の遅延時間である3ナノ秒に比べて大いに改善された。

【0036】交差型レベルシフト回路の適切な動作は、P型トランジスタのN型トランジスタに対する幅の相対比率に依存する。幅および長さは、トランジスタの幅とチャンネル長を表す一般的用語である。幅/長さの比率は、所定のプロセスのためのトランジスタの駆動電流を決定する。P型トランジスタおよびN型トランジスタが所定のチャンネル長を有する場合、P型トランジスタのN型トランジスタに対する幅比率の許容範囲は、 $1/10$ から $1/2$ であり、最適比率は約 $1/4$ である。最適比率は、最短の伝播遅延および最小の立ち上がりおよび立ち下がり時間を提供する。前述のデータを提供するために使用された本発明の実施形態では、P型トランジスタは12ミクロンの幅を有し、各N型トランジスタは、100ミクロンの幅である。このように、同等のチャンネル長については、N型トランジスタの幅が50ミクロンに等しい。ゆえに、比率が $12/50$ となる。上述の比率は、本発明の1つの実施形態の例として提供されており、本発明をいかにようにも制限すると考えられるべきではない。一般的に、より大きな比率は、より遅い出力の立ち上がり時間をもたらすが、より速い立ち下がり時間をもたらし、一方、より小さな比率は、より速い立ち上がり時間をもたらすが、より遅い立ち下がり時間をもたらし、 $1/4$ の比率において、立ち上がり時間および立ち下がり時間がほぼ等しくなり、全体的には、この回路構成において最短の伝播遅延となる。

【0037】フィードフォワードトランジスタ N_1 および N_2 を付加することによって、レベルシフト回路は、多様な電圧VDDIレベルおよび電圧VDDEレベルの下でのLOWからHIGHへの遷移の際に、改善された遷移時間を有する。すなわち、遷移時間は、コア電池VDDIおよびI/O電池VDDEの電池電圧が変動するときに、安定である。フィードフォワードトランジスタ N_1 および N_2 はソースフォロワモードで作動し、よって、反転を行うカスコード/交差結合ラッチに比べて信号経路により少ない遅延をもたらす。VDDIおよびVDDEが等しい電位にある場合には、トランジスタ N_1 および N_2 は、ゲートとソースとの間の電位がトランジスタのしきい値電圧を下回るまではソースフォロワとして作用する。すなわち、ソースの電圧は、ドレインの電圧を超えることはない。VDDEがVDDIよりもはるかに高い場合（例えば、I/O回路電池が新しく、かつコア回路電池が消費されている場合）には、 N_1 および N_2 は、初期遷移を速度上昇させる（信号スイッチングを得る）ためにソースフォロワとして作用する。ソース

電圧が十分上昇したとき、トランジスタ N_1 または N_2 はオフにされ、ソース電圧は、交差結合されたトランジスタ P_1 および P_2 の再生作用によって上昇し続ける。トランジスタ N_1 または N_2 のソース電圧がVDDIを超過したとき、トランジスタ N_1 または N_2 のソース端子およびドレイン端子が逆転し、トランジスタが遮断される。

【0038】トランジスタ N_1 および N_2 のドレインがVDDI（1.5V）と接続しており、 N_1 および N_2 のソースがゼロと3ボルトとの間をスイングする点と接続していることから、どちらのトランジスタもソースとドレインとの間で1.5ボルトを上回らない。これは、より低いブレイクダウン電圧を有する傾向にある小さなジオメトリの「コア」デバイスにとって重要である。

【0039】本発明の交差型電圧レベルシフト回路は、酸素の注入によるバルクウェハからのトランジスタの分離（すなわち、SIMOXプロセス）を使用した誘電的に絶縁したシリコン基板に製造される。

【0040】本発明の教示を取り入れた様々な実施形態を本明細書中で詳細に説明したが、これらの教示をさらに組み込んだ他の多数の実施形態が、当業者に容易に考案され得るであろう。

【0041】

【発明の効果】本発明によれば、改善された立ち上がり時間および改善されたスイッチング遅延、ならびに低い電力消費を有する交差型レベルシフト回路が提供される。

【図面の簡単な説明】

【図1】従来の交差型レベルシフト回路の概略図である。

【図2】従来の交差型レベルシフト回路からの出力信号のプロットである。

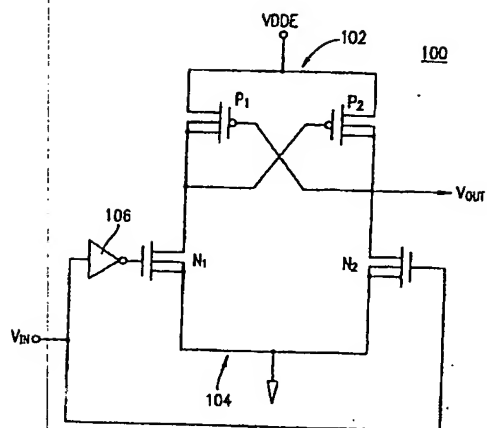
【図3】本発明の交差型シフト回路の概略図である。

【図4】本発明の交差型シフト回路からの出力信号のプロットである。

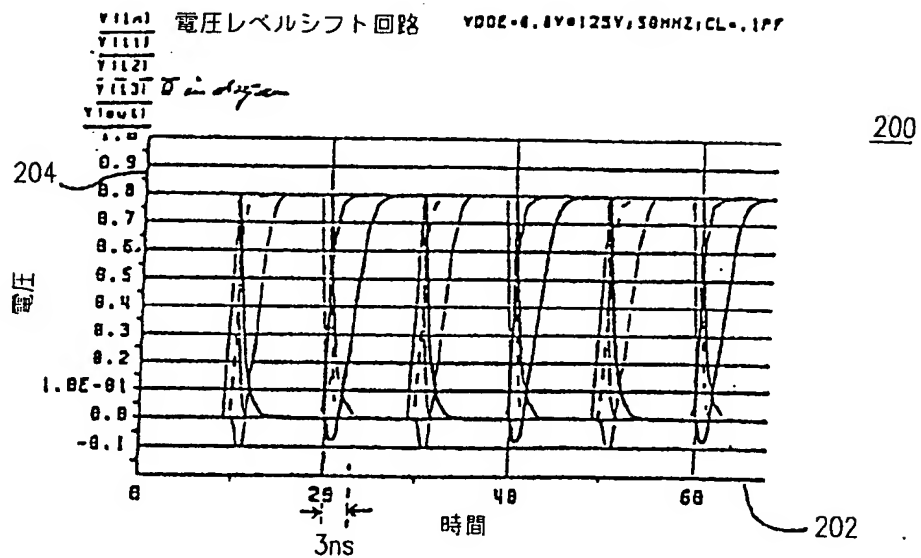
【符号の説明】

- P_1 , P_2 P型トランジスタ
- N_1 , N_2 , N_3 , N_4 , N_5 , N_6 N型トランジスタ
- 300 交差型電圧レベルシフト回路
- 302 インバータ回路
- 304 N型プルダウン回路
- 306 P型プルアップ回路
- 308 フィードフォワード回路
- 310 伝送ゲート
- 312, 314, 316 インバータ
- 318 第1のカスコード増幅器
- 320 第2のカスコード増幅器

【図1】



【図2】



フロントページの続き

(72)発明者 ピーター ディー ガードナー
アメリカ合衆国 ペンシルバニア 19020,
ベンサレム, エービーティー 305,
ネシャミニー ブルバード 330